

ELECTRONIC COMPONENT DEVICE

Patent Number: JP1089536
Publication date: 1989-04-04
Inventor(s): YAMAMOTO AKIYASU
Applicant(s): TOSHIBA CORP
Requested Patent: JP1089536
Application Number: JP19870247532 19870930
Priority Number(s):
IPC Classification: H01L21/82
EC Classification:
Equivalents:

Abstract

PURPOSE: To make a quick operating test by providing with a flip-flop a test data input terminal, a test data output terminal, and a test condition setting signal input terminal, and by connecting a plurality of flip-flop test data input terminals and test data output terminals in series.

CONSTITUTION: A test scanning pulse input TSI is applied to a TSI terminal with a clock pulse SA being 'L' which is applied to an SA terminal and a clock pulse SB being 'H' which is applied to an SB terminal in a programmable interval timer LSI. Since an SO terminal of each D-type flip-flop 10 is connected to the SI terminal, the D-type flip-flops 10 as a whole form a shift register through both 50 and SI terminals. Accordingly, by detecting the test scanning pulse output TSO applied from the TSO terminal, whether each D-type flip-flop 10 functions normally or not is checked, whereby a test time can be shortened.

Data supplied from the **esp@cenet** database - I2

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

昭64-89536

⑤ Int. Cl.⁴
H 01 L 21/82識別記号
庁内整理番号
7925-5F

④ 公開 昭和64年(1989)4月4日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 電子機器装置

⑰ 特 願 昭62-247532

⑱ 出 願 昭62(1987)9月30日

⑲ 発 明 者 山 本 願 康 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
㉑ 代 理 人 弁 理 士 須 山 佐 一

明 細 書

1. 発明の名称

電子機器装置

2. 特許請求の範囲

(1) フリップフロップを複数搭載する電子機器装置において、

前記フリップフロップが、テストデータが入力されるテストデータ入力端子と、テストデータが出力されるテストデータ出力端子と、テスト状態に設定される信号が入力されるテスト状態設定信号入力端子とを備え、

かつ

複数の前記フリップフロップのテストデータ入力端子とテストデータ出力端子とを直列に接続したことを特徴とする電子機器装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、たとえばD型フリップフロップを多数搭載するプログラマブルインタバルタイマ等

のLSIである電子機器装置に関する。

(従来の技術)

一般に、ゲートアレイおよびスタンダードな手法によってプログラマブルインタバルタイマ等のLSIを構成しようとしたときには、その構成要素であるカウンタ等はたとえば第5図に示すD型フリップフロップ1を多数搭載することになる。ところで、こうしたD型フリップフロップ1は、搭載後に、正常に動作するか否かの確認テストが通常行われるが、上述の如くその数が多数の場合は莫大なテスト時間を要することになる。

すなわち、第5図に示したD型フリップフロップ1の入力データと出力データとの関係が第6図に示す真理値表で表わされたとおりとなっているかを、搭載するすべてのD型フリップフロップ1について行う必要があるため、テストそのものに費す時間ばかりでなく得られたテストデータも莫大な量となりこれを処理する時間も多大なものとなるからである。

(発明が解決しようとする問題点)

このように従来のプログラマブルインタバルタイマ等のLSIでは、D型フリップフロップを多数搭載するため、搭載後に行われる動作テストで莫大なテスト時間を要するという問題がある。

本発明はこのような問題点を解決するためになされたもので、短時間で動作テストを行うことができる電子機器装置を提供することを目的とする。

〔発明の構成〕

（問題点を解決するための手段）

すなわち本発明は、フリップフロップを複数搭載する電子機器装置において、前記フリップフロップが、テストデータが入力されるテストデータ入力端子と、テストデータが出力されるテストデータ出力端子と、テスト状態に設定される信号が入力されるテスト状態設定信号入力端子とを備え、かつ複数の前記フリップフロップのテストデータ入力端子とテストデータ出力端子とを直列に接続したものである。

（作用）

本発明では、フリップフロップのテスト時に、

ントロールワードレジスタ、8はデータバスバッファ、9はリード／ライトロジックである。

また、このプログラマブルインタバルタイマLSIは、カウンタ2～4、コントロールワードレジスタ5～7およびリード／ライトロジック9において多数のD型フリップフロップを備えている。

第2図はこれらのカウンタ2～4、コントロールワードレジスタ5～7およびリード／ライトロジック9に備えられるD型フリップフロップ10を示すものである。

同図に示すD型フリップフロップ10は、通常の入力データDが入力されるD端子、通常のクロックパルスCPが入力されるCK端子、通常出力データQ、反転出力データQNが出力されるQ端子、QN端子を備え、とともに、テスト用2相クロックパルスA、Bが入力されるA端子、B端子、テスト用の入力スキャンパルスSIが入力されるSI端子、テスト用の出力スキャンパルスSOが出力されるSO端子を備え、入出力の関係は第3図に示す真理値表で表わされる。

テスト状態設定信号入力端子にテスト状態に設定する信号を入力し、直列に接続された複数のフリップフロップのうち最前段のフリップフロップのテストデータ入力端子にテストデータを入力する。ここで、複数のフリップフロップのテストデータ入力端子とテストデータ出力端子とが直列に接続されているので、全体としてシフトレジスタの機能を有することになる。したがって、直列に接続された複数のフリップフロップのうち最後段のフリップフロップのテストデータ出力端子から出力されるテストデータを取込み、これをこれらフリップフロップの動作テストのデータとすることができる。

（実施例）

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は本発明の一実施例に係るプログラマブルインタバルタイマLSIの構成を示すブロック図である。

同図において、2～4はカウンタ、5～7はコ

そして、カウンタ2～4、コントロールワードレジスタ5～7およびリード／ライトロジック9に備えられるD型フリップフロップ10は、第4図に示すように接続配線される。

すなわち、各D型フリップフロップ10のSO端子は次段のD型フリップフロップ10のSI端子に接続されるとともに、最前段のD型フリップフロップ10のSI端子はこのプログラマブルインタバルタイマLSIにおけるテスト用の入力スキャンパルスTSIが入力されるTSI端子に接続され、最後段のD型フリップフロップ10のSO端子はこのプログラマブルインタバルタイマLSIにおけるテスト用の出力スキャンパルスTSOが出力されるTSO端子に接続される。

また、各D型フリップフロップ10のA端子、B端子はそれぞれこのプログラマブルインタバルタイマLSIにおけるSA端子、SB端子に接続される。

そして、本実施例のプログラマブルインタバルタイマLSIにおいては、各D型フリップフロ

プ10が正常に動作するか否かの確認テストは以下のように行われる。

まず、このプログラマブルインタバルタイマLSIにおけるSA端子に入力されるクロックパルスSAを“L”とし、SB端子に入力されるクロックパルスSBを“H”とする。

次に、テスト用の入カスキャンパルスTSIをTSI端子に入力する。

ここで、上述したように、各D型フリップフロップ10のSO端子は次段のD型フリップフロップ10のSI端子に接続されているので、このSO端子およびSI端子を介しこのプログラマブルインタバルタイマLSIに備えられたD型フリップフロップ10は全体でシフトレジスタを構成することになる。

したがって、TSO端子から出力されるテスト用の出カスキャンパルスTSOを確認することにより、各D型フリップフロップ10が正常に動作するか否かの確認を行うことができる。

このように、本実施例のプログラマブルインタ

バルタイマLSIでは、各D型フリップフロップ10が正常に動作するか否かの確認はTSO端子から出力されるテスト用の出カスキャンパルスTSOを確認するだけでよいので、テストそのものが短時間で行え、得られたテストデータの処理も短時間で行える。このため、テスト時間の短縮化を図ることができる。

なお、上述した実施例は本発明をプログラマブルインタバルタイマLSIに適用させたものであったが、本発明はこれに限定されることなく、フリップフロップを複数搭載する電子機器装置全般に互って適用できる。

〔発明の効果〕

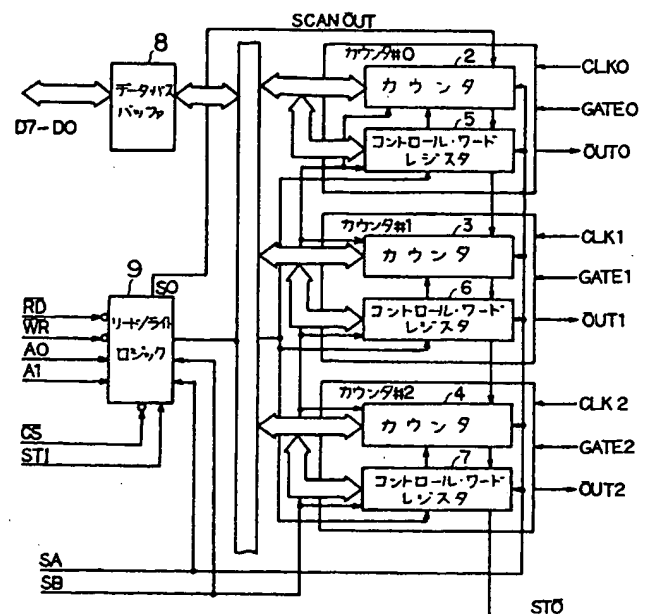
以上説明したように本発明の電子機器装置では、フリップフロップのテスト時に、テスト状態に設定された複数のフリップフロップが全体としてシフトレジスタの構成を有しているので、短時間で動作テストを行うことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るプログラマブ

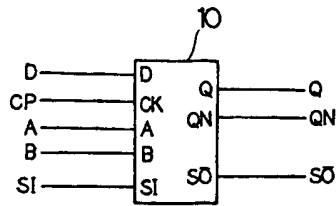
ルインタバルタイマLSIの構成を示すブロック図、第2図は第1図に示したプログラマブルインタバルタイマLSIの各部に備えられたD型フリップフロップを説明するための図、第3図は第2図に示したD型フリップフロップの真理値表を表す図、第4図は各D型フリップフロップ間の接続配線を説明するための図、第5図は従来のプログラマブルインタバルタイマLSIの各部に備えられたD型フリップフロップを説明するための図、第6図は第5図に示したD型フリップフロップの真理値表を表す図である。

2～4…カウンタ、5～7…コントロールワードレジスタ、8…データバスバッファ、9…リード/ライトロジック、10…D型フリップフロップ。



第1図

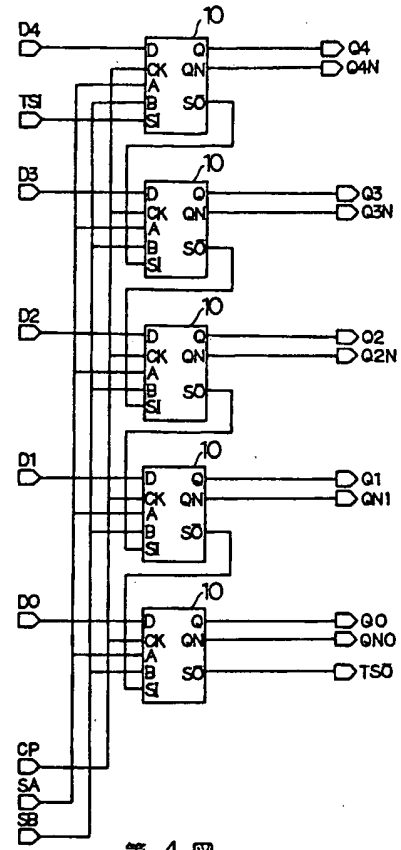
出願人 株式会社 東芝
代理人 井理士 須山 佐一



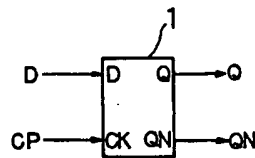
第 2 図

INPUT					OUT PUT		
CP	D	A	B	SI	Q	QN	SO
\overline{f}	L	H	H	X	L	H	L
\overline{f}	H	H	H	X	H	L	H
\overline{f}	X	H	H	X	Q_n	Q_n	Q_n
H	X	L	H	L	L	H	L
H	X	L	H	H	H	L	H
H	X	H	H	X	Q_n	Q_n	Q_n

第 3 図



第 4 図



第 5 図

INPUT		OUT PUT	
D	CP	Q	QN
L	\overline{f}	L	H
H	\overline{f}	H	L
X	\overline{f}	Q_n	Q_n

第 6 図